

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Yasushi HAYAKAWA

GAU:

SERIAL NO:NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: BIAS VOLTAGE GENERATING CIRCUIT AND DIFFERENTIAL AMPLIFIER

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

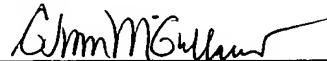
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-059675	March 6, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)  
 are submitted herewith  
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 3月 6日

出願番号

Application Number: 特願2003-059675

[ST.10/C]:

[JP2003-059675]

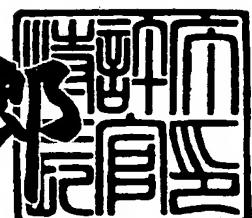
出願人

Applicant(s): 三菱電機株式会社

2003年 3月 28日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一



出証番号 出証特2003-3021667

【書類名】 特許願  
【整理番号】 543956JP01  
【提出日】 平成15年 3月 6日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03F 3/45  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 早川 康  
【特許出願人】  
【識別番号】 000006013  
【氏名又は名称】 三菱電機株式会社  
【代理人】  
【識別番号】 100089233  
【弁理士】  
【氏名又は名称】 吉田 茂明  
【選任した代理人】  
【識別番号】 100088672  
【弁理士】  
【氏名又は名称】 吉竹 英俊  
【選任した代理人】  
【識別番号】 100088845  
【弁理士】  
【氏名又は名称】 有田 貴弘  
【手数料の表示】  
【予納台帳番号】 012852  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 バイアス電圧発生回路および差動増幅器

【特許請求の範囲】

【請求項1】 定電流を発生させる第1定電流発生部と、

前記第1定電流発生部を介して第1の電位が与えられる第1電流電極と、第2電流電極と、制御電極とを含む第1導電型の第1トランジスタと、

前記第1の電位とは異なる第2の電位が与えられる第1電流電極と、前記第1トランジスタの前記第2電流電極に接続された第2電流電極と、前記第1トランジスタの前記第2電流電極に接続された制御電極とを含む、前記第1導電型とは異なる第2導電型の第2トランジスタと

を備え、

前記定電流は、前記第1トランジスタの前記第1及び第2電流電極間及び前記第2トランジスタの前記第1及び第2電流電極間を流れ、

前記第1トランジスタの前記制御電極には、電圧信号が入力され、

前記第2トランジスタの前記第2電流電極での電位は、第1バイアス電圧として機能する

バイアス電圧発生回路。

【請求項2】 請求項1に記載のバイアス電圧発生回路であって、

前記第1定電流発生部は、

所定値の電流を発生させる電流源と、

前記第1の電位が与えられ、前記電流源において発生した前記電流と略同じ値のミラー電流を発生させ、前記ミラー電流を前記定電流として前記第1トランジスタの前記第1電流電極にて流すカレントミラーレンジ回路と  
を含む

バイアス電圧発生回路。

【請求項3】 請求項1に記載のバイアス電圧発生回路であって、

前記第1定電流発生部は、

所定値の電流を発生させる電流源と、

前記第2の電位が与えられ、前記電流源において発生した前記電流と略同じ値

の第1ミラー電流を発生させる第1カレントミラー回路と、

前記第1の電位が与えられ、前記第1ミラー電流と略同じ値の第2ミラー電流を発生させ、前記第2ミラー電流を前記定電流として前記第1トランジスタの前記第1電流電極にて流す第2カレントミラー回路と  
を含む

バイアス電圧発生回路。

【請求項4】 請求項3に記載のバイアス電圧発生回路であって、

前記第1及び第2カレントミラー回路の間に介在し、第1及び第2電流電極と制御電極とを含む前記第1導電型の第3トランジスタ  
をさらに備え、

前記第3トランジスタの前記第1及び第2電流電極間には前記第1ミラー電流が流れ、

前記第3トランジスタの前記制御電極には、前記電圧信号または他の電圧信号が入力される

バイアス電圧発生回路。

【請求項5】 請求項1に記載のバイアス電圧発生回路であって、

前記第1電流発生部の発生した前記定電流と略同じ値の他の定電流を発生させる第2定電流発生部と、

前記第2の定電流発生部を介して前記第2の電位が与えられる第1電流電極と、第2電流電極と、制御電極とを含む前記第2導電型の第4トランジスタと、

前記第1の電位が与えられる第1電流電極と、前記第4トランジスタの前記第2電流電極に接続された第2電流電極と、前記第4トランジスタの前記第2電流電極に接続された制御電極とを含む、前記第1導電型の第5トランジスタと  
をさらに備え、

前記他の定電流は、前記第4トランジスタの前記第1及び第2電流電極間及び前記第5トランジスタの前記第1及び第2電流電極間を流れ、

前記第4トランジスタの前記制御電極には、前記電圧信号が入力され、

前記第5トランジスタの前記第2電流電極での電位は、第2バイアス電圧として機能する

バイアス電圧発生回路。

【請求項6】 請求項5に記載のバイアス電圧発生回路であって、  
前記第1定電流発生部は、  
所定値の電流を発生させる電流源と、  
前記第1の電位が与えられ、前記電流源において発生した前記電流と略同じ値  
の第1ミラー電流を発生させ、前記第1ミラー電流を前記定電流として前記第1  
トランジスタの前記第1電流電極にて流す第1カレントミラー回路と  
を含み、  
前記第2定電流発生部は、  
前記電流源と、  
前記第1の電位が与えられ、前記電流源において発生した前記電流と略同じ値  
の第2ミラー電流を発生させる第2カレントミラー回路と、  
前記第2の電位が与えられ、前記第2ミラー電流と略同じ値の第3ミラー電流  
を発生させ、前記第3ミラー電流を前記他の定電流として前記第4トランジスタ  
の前記第1電流電極にて流す第3カレントミラー回路と  
を含む  
バイアス電圧発生回路。

【請求項7】 請求項6に記載のバイアス電圧発生回路であって、  
前記第2及び第3カレントミラー回路の間に介在し、第1及び第2電流電極と  
制御電極とを含む前記第1導電型の第6トランジスタ  
をさらに備え、  
前記第6トランジスタの前記第1及び第2電流電極間には前記第2ミラー電流  
が流れ、  
前記第6トランジスタの前記制御電極には、前記電圧信号または他の電圧信号  
が入力される  
バイアス電圧発生回路。

【請求項8】 請求項1に記載のバイアス電圧発生回路であって、  
前記第2の電位が与えられる第1電流電極と、第2電流電極と、前記第2トランジスタの前記制御電極に接続された制御電極とを含む、前記第2導電型の第7

トランジスタと、

前記第7トランジスタの前記第2電流電極に接続された第1電流電極と、第2電流電極と、制御電極とを含む前記第2導電型の第8トランジスタと、

前記第1の電位が与えられる第1電流電極と、前記第8トランジスタの前記第2電流電極に接続された第2電流電極と、前記第8トランジスタの前記第2電流電極に接続された制御電極とを含む、前記第1導電型の第9トランジスタとをさらに備え、

前記第2トランジスタと前記第7トランジスタとは第4カレントミラー回路を構成し、

前記第4カレントミラー回路は前記定電流と略同じ値の他の定電流を発生させ

前記他の定電流は、前記第8トランジスタの前記第1及び第2電流電極間及び前記第9トランジスタの前記第1及び第2電流電極間を流れ、

前記第8トランジスタの前記制御電極には、前記電圧信号が入力され、

前記第9トランジスタの前記第2電流電極での電位は、第2バイアス電圧として機能する

バイアス電圧発生回路。

【請求項9】 請求項1ないし請求項4のいずれかに記載のバイアス電圧発生回路と、

第1及び第2電流電極と制御電極とを含む第10トランジスタを定電流回路として有する差動増幅回路とを備え、

前記差動増幅回路には、参照電圧信号と入力電圧信号とが入力され、

前記参照電圧信号は、前記電圧信号として前記第1トランジスタの前記制御電極にも入力され、

前記第1バイアス電圧は、前記第10トランジスタの前記制御電極に入力される

差動増幅器。

【請求項10】 請求項5ないし請求項8のいずれかに記載のバイアス電圧

発生回路と、

第1及び第2電流電極と制御電極とを含む前記第2導電型の第11トランジスタを定電流回路として有する差動増幅回路と、

第1及び第2電流電極と制御電極とを含む前記第1導電型の第12トランジスタを他の定電流回路として有する他の差動増幅回路と  
を備え、

前記差動増幅回路および他の差動増幅回路にはそれぞれ、参照電圧信号と入力電圧信号とがともに入力され、

前記参照電圧信号は、前記電圧信号として前記第1及び第4トランジスタの前記制御電極、または、前記第1及び第8トランジスタの前記制御電極にもそれぞれ入力され、

前記第1バイアス電圧は、前記第11トランジスタの前記制御電極に入力され

前記第2バイアス電圧は、前記第12トランジスタの前記制御電極に入力される

差動増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、差動増幅器、および、差動増幅器内でバイアス電圧を発生させるバイアス電圧発生回路に関する。

【0002】

【従来の技術】

例えば下記特許文献1においては、差動増幅回路とバイアス電圧発生回路とを含む一般的な差動増幅器（すなわち演算増幅器）の構成が示されている。

【0003】

差動増幅器内の差動増幅回路は一般に、カレントミラー回路と、基準電流と基準電流に略同じ値のミラー電流とをそれぞれ流す、そのカレントミラー回路の二接続端にそれぞれ接続された二つのトランジスタと、それら二つのトランジスタ

に共通接続された定電流回路（一般に、1つのトランジスタで構成される）とで構成される。また、差動増幅器内のバイアス電圧発生回路は、差動増幅回路内の定電流回路に与えるべきバイアス電圧を発生させる。

## 【0004】

差動増幅回路内の二つのトランジスタにはそれぞれ、入力電圧信号および参照電圧信号が入力される。差動増幅器は、両信号間の差動電圧を検出し、これを増幅して出力する。

## 【0005】

なお、その他にこの出願の発明に関連する先行技術文献情報としては、特許文献2がある。

## 【0006】

## 【特許文献1】

特開2002-124835号公報

## 【特許文献2】

特開平7-7340号公報

## 【0007】

## 【発明が解決しようとする課題】

さて、上記のような従来の差動増幅回路及びバイアス電圧発生回路では、入力電圧信号および参照電圧信号のコモンモード電圧が低下したときに、動作に不都合が生じる場合があった。

## 【0008】

すなわち、入力電圧信号と参照電圧信号との間の電位差（差動電圧）に変化が無いにも拘らず、その両電圧の絶対値が低下したときに、二つのトランジスタの共通接続端の電位が低下して、差動増幅回路内の定電流回路にて流れる定電流の値が低下する場合があった。定電流回路において定電流が流れなくなると、正しく差動電圧を検出することができなくなる。

## 【0009】

この発明は上記の事情に鑑みてなされたもので、差動増幅回路への参照電圧信号のコモンモード電圧が変化したときであっても、差動増幅回路内の定電流回路

における定電流を確保可能なバイアス電圧発生回路および差動増幅器を提供することにある。

#### 【0010】

##### 【課題を解決するための手段】

請求項1に記載の発明は、定電流を発生させる第1定電流発生部と、前記第1定電流発生部を介して第1の電位が与えられる第1電流電極と、第2電流電極と、制御電極とを含む第1導電型の第1トランジスタと、前記第1の電位とは異なる第2の電位が与えられる第1電流電極と、前記第1トランジスタの前記第2電流電極に接続された第2電流電極と、前記第1トランジスタの前記第2電流電極に接続された制御電極とを含む、前記第1導電型とは異なる第2導電型の第2トランジスタとを備え、前記定電流は、前記第1トランジスタの前記第1及び第2電流電極間及び前記第2トランジスタの前記第1及び第2電流電極間を流れ、前記第1トランジスタの前記制御電極には、電圧信号が入力され、前記第2トランジスタの前記第2電流電極での電位は、第1バイアス電圧として機能するバイアス電圧発生回路である。

#### 【0011】

請求項9に記載の発明は、請求項1ないし請求項4のいずれかに記載のバイアス電圧発生回路と、第1及び第2電流電極と制御電極とを含む第10トランジスタを定電流回路として有する差動増幅回路とを備え、前記差動増幅回路には、参照電圧信号と入力電圧信号とが入力され、前記参照電圧信号は、前記電圧信号として前記第1トランジスタの前記制御電極にも入力され、前記第1バイアス電圧は、前記第10トランジスタの前記制御電極に入力される差動増幅器である。

#### 【0012】

請求項10に記載の発明は、請求項5ないし請求項8のいずれかに記載のバイアス電圧発生回路と、第1及び第2電流電極と制御電極とを含む前記第2導電型の第11トランジスタを定電流回路として有する差動増幅回路と、第1及び第2電流電極と制御電極とを含む前記第1導電型の第12トランジスタを他の定電流回路として有する他の差動増幅回路とを備え、前記差動増幅回路および他の差動増幅回路にはそれぞれ、参照電圧信号と入力電圧信号とがともに入力され、前記

参照電圧信号は、前記電圧信号として前記第1及び第4トランジスタの前記制御電極、または、前記第1及び第8トランジスタの前記制御電極にもそれぞれ入力され、前記第1バイアス電圧は、前記第11トランジスタの前記制御電極に入力され、前記第2バイアス電圧は、前記第12トランジスタの前記制御電極に入力される差動増幅器である。

## 【0013】

## 【発明の実施の形態】

## &lt;実施の形態1&gt;

本実施の形態は、差動増幅回路とバイアス電圧発生回路とを含む差動増幅器であって、差動増幅回路への参照電圧信号のコモンモード電圧が変化したときであっても、バイアス電圧発生回路が差動増幅回路内の定電流回路における定電流を確保するものである。

## 【0014】

図1は、本実施の形態に係る差動増幅器内の差動増幅回路を示す図である。そして、図2は、本実施の形態に係る差動増幅器内のバイアス電圧発生回路を示す図である。

## 【0015】

図1に示すように、差動増幅回路は、PchMOS (P-channel Metal Oxide Semiconductor) トランジスタPT1n, PT2n及びNchMOSトランジスタNT1n～NT3nを含んでいる。

## 【0016】

PchMOSトランジスタPT1n, PT2nのソースには、共通して電源電位Vddが与えられ、それらのゲートは互いに接続されている。PchMOSトランジスタPT1nのゲートは、PchMOSトランジスタPT1nのドレインに接続されるとともに、NchMOSトランジスタNT1nのドレインにも接続されている。また、PchMOSトランジスタPT2nのドレインは、NchMOSトランジスタNT2nのドレインに接続されている。

## 【0017】

NchMOSトランジスタNT1n, NT2nのソースには、共通してNchMO

SトランジスタNT3nのドレインが接続されている。NchMOSトランジスタNT3nのソースには接地電位GNDが与えられている。

## 【0018】

PchMOSトランジスタPT1n, PT2nはカレントミラー回路を構成し、NchMOSトランジスタNT1nのドレイン-ソース間に流れる基準電流と略同じ値のミラー電流を、NchMOSトランジスタNT2nのドレイン-ソース間に流す。NchMOSトランジスタNT1nのゲートには参照電圧信号Vrefが入力され、NchMOSトランジスタNT2nのゲートには入力電圧信号Vinが入力される。また、NchMOSトランジスタNT3nのゲートには、図2のバイアス電圧発生回路で発生したバイアス電圧biasnが入力される。

## 【0019】

この差動増幅回路においては、NchMOSトランジスタNT2nのドレインの電位が差動検出信号OUTnとして機能する。そして、差動増幅器内の増幅回路（図示せず）により差動検出信号OUTnが増幅されて、差動増幅器の出力となる。

## 【0020】

図2に示すように、バイアス電圧発生回路は、PchMOSトランジスタM1～M3、NchMOSトランジスタM4及び所定値の定電流を発生する電流源Iswを含んでいる。なお、電流源Iswは、例えば抵抗で構成してもよいし、その他にも、MOSトランジスタを用いた自己バイアス回路などで構成してもよい。

## 【0021】

PchMOSトランジスタM1, M2のソースには、共通して電源電位Vddが与えられ、それらのゲートは互いに接続されている。PchMOSトランジスタM1のゲートは、PchMOSトランジスタM1のドレインに接続されるとともに、電流源Iswの一端にも接続されている。また、PchMOSトランジスタM2のドレインは、PchMOSトランジスタM3のソースに接続されている。

## 【0022】

PchMOSトランジスタM3のドレインは、NchMOSトランジスタM4のドレイン及びゲートに接続されている。そして、NchMOSトランジスタM4のソース及び電流源Iswの他端には、接地電位GNDが与えられている。

## 【0023】

PchMOSトランジスタM1, M2はカレントミラー回路を構成し、電流源 $I_{sw}$ が発生させた定電流と略同じ値のミラー電流を、PchMOSトランジスタM3のソースードレイン間及びNchMOSトランジスタM4のドレインーソース間に流す。すなわち、電流源 $I_{sw}$ と、PchMOSトランジスタM1, M2で構成されるカレントミラー回路とは、定電流を発生させる定電流発生部として機能する。

## 【0024】

なお、PchMOSトランジスタM3のゲートには、図1の差動增幅回路のNchトランジスタNT1nにも与えられた参照電圧信号 $V_{ref}$ が入力される。また、NchMOSトランジスタM4のドレイン電位が、バイアス電圧 $bias_n$ として機能する。

## 【0025】

このバイアス電圧発生回路において、参照電圧信号 $V_{ref}$ の絶対値が変化すれば、PchMOSトランジスタM3のゲートーソース間電圧が変化する。これにより、PchMOSトランジスタM3のドレインーソース間における電圧降下量が変化し、バイアス電圧 $bias_n$ を変化させることができる。

## 【0026】

例えば、電源電圧 $V_{dd}$ の値は1.5[V]に設定され、参照電圧信号 $V_{ref}$ の初期値は例えば0.75[V]に設定される。このとき、参照電圧信号 $V_{ref}$ のコモンモード電圧が低下したとすれば、PchMOSトランジスタM3のゲートーソース間電圧の絶対値は増加することになる。

## 【0027】

すると、PchMOSトランジスタM3のドレインーソース間に流れるミラー電流を維持し続けるために、PchMOSトランジスタM3のドレインーソース間電圧の絶対値は減少する。PchMOSトランジスタM3のドレインーソース間電圧の絶対値が減少すれば、NchMOSトランジスタM4のドレイン電位は上昇することとなる。すなわち、バイアス電圧 $bias_n$ は上昇する。

## 【0028】

よって、図1の差動增幅回路において、参照電圧信号 $V_{ref}$ のコモンモード電

圧が低下してNchMOSトランジスタNT3nを流れる電流が減少したとしても、NchMOSトランジスタNT3nへのバイアス電圧biasnが上昇するのでNchMOSトランジスタNT3nを流れる電流が増加し、図2のバイアス電圧発生回路には、定電流回路たるNchMOSトランジスタNT3nにおける電流値を一定に保つフィードバック作用がある。

## 【0029】

よって、差動増幅回路への参照電圧信号Vrefのコモンモード電圧が変化したときであっても、差動増幅回路内の定電流回路における定電流を確保可能なバイアス電圧発生回路及び差動増幅器を実現できる。

## 【0030】

なお、本実施の形態においては、電流源Iswで所定値の電流を発生させ、PchMOSトランジスタM1, M2で構成されるカレントミラー回路を介してPchMOSトランジスタM3及びNchMOSトランジスタM4に定電流を流すようにしている。

## 【0031】

上記のフィードバック作用を得るには、PchMOSトランジスタM3及びNchMOSトランジスタM4に定電流が流れればよいので、図2のバイアス電圧発生回路において、PchMOSトランジスタM1, M2で構成されるカレントミラー回路を省略し、電流源IswをPchMOSトランジスタM2の位置に配した構成としてもよい。

## 【0032】

しかし、電源電位Vddと接地電位GNDとの間の電位差が、上記の1.5[V]との例示のように小さい場合、電流源IswをPchMOSトランジスタM3及びNchMOSトランジスタM4に直列に接続し、これを定電流発生部として機能させると、電流源Iswでの電圧降下量が大きすぎてPchMOSトランジスタM3及びNchMOSトランジスタM4の動作電圧が確保されずに両トランジスタが動作しない可能性がある。

## 【0033】

本実施の形態に示したバイアス電圧発生回路のように、電流源Iswにて発生し

た電流と略同じ値のミラー電流をカレントミラー回路を介して PchMOSトランジスタM3 及びNchMOSトランジスタM4に流すようすれば、たとえ電源電位Vddと接地電位GNDとの間の電位差が小さい場合であっても、電流源Iswでの電圧降下量がPchMOSトランジスタM3 及びNchMOSトランジスタM4の動作電圧に影響を及ぼすことがない。よって、動作信頼性の高いバイアス電圧発生回路を実現できる。

## 【0034】

## &lt;実施の形態2&gt;

本実施の形態は、実施の形態1に係る差動増幅器の変形例であって、実施の形態1における差動増幅回路及びバイアス電圧発生回路の構成を変えたものである。

## 【0035】

図3は、本実施の形態に係る差動増幅器内の差動増幅回路を示す図である。そして、図4は、本実施の形態に係る差動増幅器内のバイアス電圧発生回路を示す図である。

## 【0036】

図3に示すように、差動増幅回路は、NchMOSトランジスタNT1p, NT2p 及びPchMOSトランジスタPT1p～PT3pを含んでいる。

## 【0037】

NchMOSトランジスタNT1p, NT2pのソースには、共通して接地電位GNDが与えられ、それらのゲートは互いに接続されている。NchMOSトランジスタNT1pのゲートは、NchMOSトランジスタNT1pのドレインに接続されるとともに、PchMOSトランジスタPT1pのドレインにも接続されている。また、NchMOSトランジスタNT2pのドレインは、PchMOSトランジスタPT2pのドレインに接続されている。

## 【0038】

PchMOSトランジスタPT1p, PT2pのソースには、共通してPchMOSトランジスタPT3pのドレインが接続されている。PchMOSトランジスタPT3pのソースには電源電位Vddが与えられている。

## 【0039】

NchMOSトランジスタNT1p, NT2pはカレントミラー回路を構成し、PchMOSトランジスタPT1pのドレイン-ソース間に流れる基準電流と略同じ値のミラー電流を、PchMOSトランジスタPT2pのドレイン-ソース間に流す。PchMOSトランジスタPT1pのゲートには参照電圧信号Vrefが入力され、PchMOSトランジスタPT2pのゲートには入力電圧信号Vinが入力される。また、PchMOSトランジスタPT3pのゲートには、図4のバイアス電圧発生回路で発生したバイアス電圧biaspが入力される。

## 【0040】

この差動増幅回路においては、PchMOSトランジスタPT2pのドレインの電位が差動検出信号OUTpとして機能する。そして、差動増幅器内の増幅回路（図示せず）により差動検出信号OUTpが増幅されて、差動増幅器の出力となる。

## 【0041】

図4に示すように、バイアス電圧発生回路は、PchMOSトランジスタM1, M2, M10, NchMOSトランジスタM4, M8, M9及び所定値の定電流を発生する電流源Iswを含んでいる。なお、電流源Iswは、実施の形態1にて述べたと同様、例えば抵抗で構成してもよいし、その他にも、MOSトランジスタを用いた自己バイアス回路などで構成してもよい。

## 【0042】

PchMOSトランジスタM1, M2のソースには、共通して電源電位Vddが与えられ、それらのゲートは互いに接続されている。PchMOSトランジスタM1のゲートは、PchMOSトランジスタM1のドレインに接続されるとともに、電流源Iswの一端にも接続されている。また、PchMOSトランジスタM2のドレインは、NchMOSトランジスタM4のドレイン及びゲートに接続されている。そして、NchMOSトランジスタM4のソース及び電流源Iswの他端には、接地電位GNDが与えられている。

## 【0043】

NchMOSトランジスタM8のソースは、NchMOSトランジスタM4のソースに接続されている。NchMOSトランジスタM8のゲートは、NchMOSト

ンジスタM4のゲートに接続されている。NchMOSトランジスタM8のドレインは、NchMOSトランジスタM9のソースに接続されている。

## 【0044】

NchMOSトランジスタM9のドレインは、PchMOSトランジスタM10のドレイン及びゲートに接続されている。そして、PchMOSトランジスタM10のソースには、電源電位Vddが与えられている。

## 【0045】

PchMOSトランジスタM1, M2はカレントミラー回路を構成し、電流源I<sub>sw</sub>が発生させた定電流と略同じ値のミラー電流を、NchMOSトランジスタM4のドレインーソース間に流す。また、NchMOSトランジスタM4, M8もカレントミラー回路を構成し、NchMOSトランジスタM4に流れたミラー電流と略同じ値のミラー電流を、PchMOSトランジスタM10のソースードレイン間及びNchMOSトランジスタM9のドレインーソース間に流す。

## 【0046】

すなわち、電流源I<sub>sw</sub>と、PchMOSトランジスタM1, M2で構成されるカレントミラー回路と、NchMOSトランジスタM4, M8で構成されるカレントミラー回路とは、定電流を発生させる定電流発生部として機能する。

## 【0047】

なお、NchMOSトランジスタM9のゲートには、図3の差動增幅回路のPchMOSトランジスタP T1pにも与えられた参照電圧信号Vrefが入力される。また、PchMOSトランジスタM10のドレイン電位が、バイアス電圧biaspとして機能する。

## 【0048】

このバイアス電圧発生回路において、参照電圧信号Vrefの絶対値が変化すれば、NchMOSトランジスタM9のゲートーソース間電圧が変化する。これにより、NchMOSトランジスタM9のドレインーソース間における電圧降下量が変化し、バイアス電圧biaspを変化させることができる。

## 【0049】

例えば、電源電圧Vddの値は1.5[V]に設定され、参照電圧信号Vrefの初

期値は例えば0.75[V]に設定される。このとき、参照電圧信号V<sub>ref</sub>のコモンモード電圧が低下したとすれば、NchMOSトランジスタM9のゲート-ソース間電圧の絶対値は減少することになる。

#### 【0050】

すると、NchMOSトランジスタM9のドレイン-ソース間に流れるミラー電流を維持し続けるために、NchMOSトランジスタM9のドレイン-ソース間電圧の絶対値は増加する。NchMOSトランジスタM9のドレイン-ソース間電圧の絶対値が増加すれば、PchMOSトランジスタM10のドレイン電位は上昇することとなる。すなわち、バイアス電圧biaspは上昇する。

#### 【0051】

よって、図3の差動增幅回路において、参照電圧信号V<sub>ref</sub>のコモンモード電圧が低下してPchMOSトランジスタPT3pを流れる電流が増加したとしても、PchMOSトランジスタPT3pへのバイアス電圧biaspが上昇するのでPchMOSトランジスタPT3pを流れる電流が抑制され、図4のバイアス電圧発生回路には、定電流回路たるPchMOSトランジスタPT3pにおける電流値を一定に保つフィードバック作用がある。

#### 【0052】

よって、差動增幅回路への参照電圧信号V<sub>ref</sub>のコモンモード電圧が変化したときであっても、差動增幅回路内の定電流回路における定電流を確保可能なバイアス電圧発生回路及び差動増幅器を実現できる。

#### 【0053】

なお、本実施の形態においても、電流源I<sub>sw</sub>にて発生した電流と略同じ値のミラー電流を2つのカレントミラーリング回路を介してNchMOSトランジスタM9及びPchMOSトランジスタM10に流すようにしている。これにより、たとえ電源電位V<sub>dd</sub>と接地電位GNDとの間の電位差が小さい場合であっても、実施の形態1の場合と同様、電流源I<sub>sw</sub>での電圧降下量がNchMOSトランジスタM9及びPchMOSトランジスタM10の動作電圧に影響を及ぼすことがない。よって、動作信頼性の高いバイアス電圧発生回路を実現できる。

#### 【0054】

## &lt;実施の形態3&gt;

本実施の形態は、実施の形態1と2とを組み合わせた差動増幅器である。

## 【0055】

本実施の形態においては、図1および図3に記載の差動増幅回路とともに用いる。また、図5は、本実施の形態に係る差動増幅器内のバイアス電圧発生回路を示す図である。

## 【0056】

図5に示すように、バイアス電圧発生回路は、PchMOSトランジスタM1～M3, M5, M10, NchMOSトランジスタM4, M7～M9及び所定値の定電流を発生する電流源 $I_{sw}$ を含んでいる。なお、電流源 $I_{sw}$ は、実施の形態1にて述べたと同様、例えば抵抗で構成してもよいし、その他にも、MOSトランジスタを用いた自己バイアス回路などで構成してもよい。

## 【0057】

PchMOSトランジスタM1～M3, NchMOSトランジスタM4及び電流源 $I_{sw}$ の回路構成は、図2のバイアス電圧発生回路の場合と全く同じであるので、その説明は省略する。

## 【0058】

PchMOSトランジスタM5のソースには電源電位 $V_{dd}$ が与えられ、そのゲートはPchMOSトランジスタM1のゲートに接続されている。また、PchMOSトランジスタM5のドレインは、NchMOSトランジスタM7のドレイン及びゲートに接続されている。そして、NchMOSトランジスタM7のソースには、接地電位GNDが与えられている。

## 【0059】

NchMOSトランジスタM8のソースは、NchMOSトランジスタM7のソースに接続されている。NchMOSトランジスタM8のゲートは、NchMOSトランジスタM7のゲートに接続されている。NchMOSトランジスタM8のドレインは、NchMOSトランジスタM9のソースに接続されている。

## 【0060】

NchMOSトランジスタM9のドレインは、PchMOSトランジスタM10の

ドレイン及びゲートに接続されている。そして、PchMOSトランジスタM10のソースには、電源電位Vddが与えられている。

#### 【0061】

PchMOSトランジスタM1, M2はカレントミラー回路を構成し、電流源I<sub>sw</sub>が発生させた定電流と略同じ値のミラー電流を、PchMOSトランジスタM3のソースードレイン間及びNchMOSトランジスタM4のドレインーソース間に流す。すなわち、電流源I<sub>sw</sub>と、PchMOSトランジスタM1, M2で構成されるカレントミラー回路とは、定電流を発生させる第1の定電流発生部として機能する。

#### 【0062】

なお、PchMOSトランジスタM3のゲートには、図1の差動増幅回路のNchMOSトランジスタNT1n及び図3の差動増幅回路のPchMOSトランジスタPT1pにも与えられた参照電圧信号Vrefが入力される。また、NchMOSトランジスタM4のドレイン電位が、図1の差動増幅回路のNchMOSトランジスタNT3nへのバイアス電圧biasnとして機能する。

#### 【0063】

また、PchMOSトランジスタM1, M5はカレントミラー回路を構成し、電流源I<sub>sw</sub>が発生させた定電流と略同じ値のミラー電流を、NchMOSトランジスタM7のドレインーソース間に流す。また、NchMOSトランジスタM7, M8もカレントミラー回路を構成し、NchMOSトランジスタM7に流れたミラー電流と略同じ値のミラー電流を、PchMOSトランジスタM10のソースードレイン間及びNchMOSトランジスタM9のドレインーソース間に流す。

#### 【0064】

すなわち、電流源I<sub>sw</sub>と、PchMOSトランジスタM1, M5で構成されるカレントミラー回路と、NchMOSトランジスタM7, M8で構成されるカレントミラー回路とは、定電流を発生させる第2の定電流発生部として機能する。

#### 【0065】

なお、NchMOSトランジスタM9のゲートには、図1の差動増幅回路のNchMOSトランジスタNT1n及び図3の差動増幅回路のPchMOSトランジスタ

P<sub>T1p</sub>にも与えられた参照電圧信号V<sub>ref</sub>が入力される。また、PchMOSトランジスタM10のドレイン電位が、バイアス電圧biaspとして機能する。

## 【0066】

すなわち、このバイアス電圧発生回路において、PchMOSトランジスタM1～M3、NchMOSトランジスタM4及び電流源I<sub>sw</sub>は、図2のバイアス電圧発生回路として機能し、PchMOSトランジスタM1, M5, M10, NchMOSトランジスタM7～M9及び電流源I<sub>sw</sub>は、図4と同様のバイアス電圧発生回路として機能する。

## 【0067】

本実施の形態によれば、PchMOSトランジスタM3及びNchMOSトランジスタM4とは導電型が逆の関係となっているNchMOSトランジスタM9及びPchMOSトランジスタM10を備える。よって、図5のバイアス電圧発生回路には、図1の差動増幅回路の定電流回路たるNchMOSトランジスタNT3nにおける電流値を一定に保つフィードバック作用と、図3の差動増幅回路の定電流回路たるPchMOSトランジスタPT3pにおける電流値を一定に保つフィードバック作用がある。これにより、差動増幅回路への参照電圧信号V<sub>ref</sub>のコモンモード電圧が変化したときであっても、差動増幅回路内の定電流回路における定電流を確保可能なバイアス電圧発生回路及び差動増幅器を実現できる。

## 【0068】

つまり、図1及び図3の差動増幅回路への参照電圧信号V<sub>ref</sub>のコモンモード電圧が変化したときであっても、定電流回路たるNchMOSトランジスタNT3n及びPchMOSトランジスタPT3pにおける定電流を確保可能な差動増幅器を実現できる。

## 【0069】

また、本実施の形態に係る差動増幅器は、互いに導電型の異なるNchMOSトランジスタNT3n及びPchMOSトランジスタPT3pをそれぞれ含む図1及び図3の差動増幅回路を備えている。よって、参照電圧信号V<sub>ref</sub>の変動に応じて、NchMOSトランジスタNT3n及びPchMOSトランジスタPT3pの一方を流れる定電流に影響があったとしても、その他方を流れる定電流の安定性は

向上する。

#### 【0070】

例えば、参照電圧信号  $V_{ref}$  のコモンモード電圧が大幅に低下したとすれば、上記のようなフィードバック作用は働くものの、図1の差動増幅回路においては、NchMOSトランジスタNT3nに流れる電流の減少を招く可能性がある。あるいは、NchMOSトランジスタNT3nの閾値電圧が確保されずに、NchMOSトランジスタNT3nが動作停止を起こしてしまう可能性もある。よって、NchMOSトランジスタNT3nでの定電流の確保が困難な場合が考えられる。

#### 【0071】

一方、図3の差動増幅回路においては、参照電圧信号  $V_{ref}$  の大幅な低下は、PchMOSトランジスタPT3pに流れる電流の増加を招くだけである。よって、フィードバック作用によりその電流の増加を抑止しやすく、PchMOSトランジスタPT3pでの定電流の確保は比較的容易である。

#### 【0072】

逆に、参照電圧信号  $V_{ref}$  のコモンモード電圧が大幅に上昇した場合は、PchMOSトランジスタPT3pでの定電流確保が比較的困難となり、NchMOSトランジスタNT3nでの定電流の確保は比較的容易となる。

#### 【0073】

すなわち、図1及び図3の差動増幅回路の一方の動作信頼性がたとえ低下した場合であっても、他方の動作信頼性が向上するので、参照電圧信号  $V_{ref}$  の変動の傾向に応じて、より動作信頼性の高い差動増幅回路の信号を採用して、確実な差動電圧検出を行うことが可能である。

#### 【0074】

なお、本実施の形態においても、電流源  $I_{sw}$  にて発生した電流と略同じ値のミラー電流をカレントミラーリング回路を介してPchMOSトランジスタM3及びNchMOSトランジスタM4に流すようにし、電流源  $I_{sw}$  にて発生した電流と略同じ値のミラー電流を2つのカレントミラーリング回路を介してNchMOSトランジスタM9及びPchMOSトランジスタM10に流すようにしている。これにより、たとえ電源電位  $V_{dd}$  と接地電位  $GND$ との間の電位差が小さい場合であっても、実施の

形態1及び2の場合と同様、電流源  $I_{sw}$ での電圧降下量が、PchMOSトランジスタM3及びNchMOSトランジスタM4並びにNchMOSトランジスタM9及びPchMOSトランジスタM10の動作電圧に影響を及ぼすことがない。よって、動作信頼性の高いバイアス電圧発生回路を実現できる。

## 【0075】

なお、図6に示すように、PchMOSトランジスタM1, M5で構成されるカレントミラー回路と、NchMOSトランジスタM7, M8で構成されるカレントミラー回路との間に、PchMOSトランジスタM6を介在させ、そのソースードライン間にPchMOSトランジスタM5からのミラー電流を流してもよい。

## 【0076】

PchMOSトランジスタM6のゲートには、固定値たる固定電圧信号  $V_{refa}$  が入力される。この固定電圧信号  $V_{refa}$  には、参照電圧信号  $V_{ref}$  の初期値と同じ値を採用しておけばよい ( $V_{dd}$ を例えば1.5[V]に設定する場合ならば、例えば0.75[V]に設定すればよい)。固定電圧信号  $V_{refa}$  の生成には例えば、電源電位  $V_{dd}$  と接地電位 GNDとの間に設けられた抵抗の一部の電位を取り出す手法を採用すれば良い。

## 【0077】

あるいは、固定電圧信号  $V_{refa}$  の代わりに参照電圧信号  $V_{ref}$  を PchMOSトランジスタM6のゲートに入力してもよい。

## 【0078】

この場合、PchMOSトランジスタM2の電気特性とPchMOSトランジスタM5の電気特性とを整合させ、PchMOSトランジスタM3の電気特性とPchMOSトランジスタM6の電気特性とを整合させ、NchMOSトランジスタM4の電気特性とNchMOSトランジスタM7の電気特性とを整合させ、固定電圧信号  $V_{refa}$  の値を参照電圧信号  $V_{ref}$  と略同じ値にしておけば、PchMOSトランジスタM3を通過するミラー電流の流れる経路の電気特性とPchMOSトランジスタM6を通過するミラー電流の流れる経路の電気特性とを高精度に整合させることができる。これにより、両ミラー電流を高精度に一致させることができる。

## 【0079】

なお、固定電圧信号  $V_{refa}$  にしておけば、PchMOSトランジスタM6を流れる電流を一定値に固定することができる。

## 【0080】

## &lt;実施の形態4&gt;

本実施の形態は、実施の形態2に係るバイアス電圧発生回路の変形例であって、PchMOSトランジスタM1, M2で構成されるカレントミラー回路と、NchMOSトランジスタM4, M8で構成されるカレントミラー回路との間に、NchMOSトランジスタM11を介在させ、そのソースードレイン間にPchMOSトランジスタM2からのミラー電流を流したものである。

## 【0081】

図7は、本実施の形態に係る差動増幅器内のバイアス電圧発生回路を示す図である。NchMOSトランジスタM11のゲートには、固定値たる固定電圧信号  $V_{refa}$  が入力される。この固定電圧信号  $V_{refa}$  には、参照電圧信号  $V_{ref}$  の初期値と同じ値を採用しておけばよい ( $V_{dd}$ を例えば1.5[V]に設定する場合ならば、例えば0.75[V]に設定すればよい)。固定電圧信号  $V_{refa}$  の生成には例えば、電源電位  $V_{dd}$  と接地電位 GNDとの間に設けられた抵抗の一部の電位を取り出す手法を採用すれば良い。

## 【0082】

あるいは、固定電圧信号  $V_{refa}$  の代わりに参照電圧信号  $V_{ref}$  をNchMOSトランジスタM11のゲートに入力してもよい。

## 【0083】

図6の場合と同様、PchMOSトランジスタM2の電気特性とPchMOSトランジスタM10の電気特性とを整合させ、NchMOSトランジスタM9の電気特性とNchMOSトランジスタM11の電気特性とを整合させ、固定電圧信号  $V_{refa}$  の値を参照電圧信号  $V_{ref}$  と略同じ値にしておけば、NchMOSトランジスタM9を通過するミラー電流の流れる経路の電気特性とNchMOSトランジスタM11を通過するミラー電流の流れる経路の電気特性とを高精度に整合させることができる。これにより、両ミラー電流を高精度に一致させることができる。

## 【0084】

なお、固定電圧信号  $V_{refa}$  にしておけば、NchMOSトランジスタM11を流れる電流を一定値に固定することができる。

## 【0085】

その他の点については、実施の形態2に係る差動増幅器内のバイアス電圧発生回路と同様のため、説明を省略する。

## 【0086】

## &lt;実施の形態5&gt;

本実施の形態も実施の形態3と同様、バイアス電圧  $bias_n$  及び  $bias_p$  をともに発生可能な差動増幅器である。ただし、本実施の形態においては、図5や図6の場合のようにバイアス電圧  $bias_n$  を発生させるNchMOSトランジスタM4と別にカレントミラー回路を設けるのではなく、NchMOSトランジスタM4にカレントミラー回路の役割も担わせる。

## 【0087】

図8は、本実施の形態に係る差動増幅器内のバイアス電圧発生回路を示す図である。図8に示すように、バイアス電圧発生回路は、PchMOSトランジスタM1～M3, M10, NchMOSトランジスタM4, M8, M9及び所定値の定電流を発生する電流源  $I_{sw}$  を含んでいる。なお、電流源  $I_{sw}$  は、実施の形態1にて述べたと同様、例えば抵抗で構成してもよいし、その他にも、MOSトランジスタを用いた自己バイアス回路などで構成してもよい。

## 【0088】

PchMOSトランジスタM1～M3, NchMOSトランジスタM4及び電流源  $I_{sw}$  の回路構成は、図2のバイアス電圧発生回路の場合と全く同じであるので、その説明は省略する。また、NchMOSトランジスタM8, M9及びPchMOSトランジスタM10の回路構成は図4のバイアス電圧発生回路の場合と全く同じであるので、その説明も省略する。

## 【0089】

本実施の形態の場合、NchMOSトランジスタM4のドレイン電位は、図1の差動増幅回路のNchMOSトランジスタNT3nへのバイアス電圧  $bias_n$  として機能する。それとともに、NchMOSトランジスタM4及びM8がカレントミラ

一回路を構成し、NchMOSトランジスタM4に流れたミラー電流と略同じ値のミラー電流を、PchMOSトランジスタM10のソースードレイン間及びNchMOSトランジスタM9のドレインーソース間に流す。そして、PchMOSトランジスタM10のドレイン電位は、図3の差動増幅回路のPchMOSトランジスタPT3pへのバイアス電圧biaspとして機能する。

## 【0090】

本実施の形態によれば、PchMOSトランジスタM3及びNchMOSトランジスタM4とは導電型が逆の関係となっているNchMOSトランジスタM9及びPchMOSトランジスタM10を備える。よって、図8のバイアス電圧発生回路には、図5や図6の場合と同様、図1の差動増幅回路の定電流回路たるNchMOSトランジスタNT3nにおける電流値を一定に保つフィードバック作用と、図3の差動増幅回路の定電流回路たるPchMOSトランジスタPT3pにおける電流値を一定に保つフィードバック作用とがある。これにより、差動増幅回路への参照電圧信号Vrefのコモンモード電圧が変化したときであっても、差動増幅回路内の定電流回路における定電流を確保可能なバイアス電圧発生回路及び差動増幅器を実現できる。

## 【0091】

つまり、図1及び図3の差動増幅回路への参照電圧信号Vrefのコモンモード電圧が変化したときであっても、定電流回路たるNchMOSトランジスタNT3n及びPchMOSトランジスタPT3pにおける定電流を確保可能な差動増幅器を実現できる。

## 【0092】

また、本実施の形態に係る差動増幅器は、互いに導電型の異なるNchMOSトランジスタNT3n及びPchMOSトランジスタPT3pをそれぞれ含む図1及び図3の差動増幅回路を備えている。よって、参照電圧信号Vrefの変動に応じて、NchMOSトランジスタNT3n及びPchMOSトランジスタPT3pの一方を流れる定電流に影響があったとしても、その他方を流れる定電流の安定性は向上する。

## 【0093】

すなわち、図1及び図3の差動増幅回路の一方の動作信頼性がたとえ低下した場合であっても、他方の動作信頼性が向上するので、参照電圧信号 $V_{ref}$ の変動の傾向に応じて、より動作信頼性の高い差動増幅回路の信号を採用して、確実な差動電圧検出を行うことが可能である。

## 【0094】

## &lt;変形例&gt;

上記実施の形態1乃至5においては、トランジスタとしてMOSトランジスタを採用していたが、この他にも例えばバイポーラトランジスタ等を採用しても良い。その場合も上記と同様の効果がある。

## 【0095】

また、図2のバイアス電圧発生回路において、PchMOSトランジスタM1～M3を全てNchMOSトランジスタに置き換える、NchMOSトランジスタM4をPchMOSトランジスタに置き換え、電源電位 $V_{dd}$ と接地電位GNDとを入れ替えて、電流源 $I_{sw}$ で発生する定電流の流れる向きを逆にすれば、バイアス電圧 $biasn$ をバイアス電圧 $biasp$ として機能させることができる。

## 【0096】

同様のこととは、図4～図8のバイアス電圧発生回路にも当てはまる。

## 【0097】

## 【発明の効果】

請求項1に記載の発明によれば、第1定電流発生部において発生した定電流が第1トランジスタの前記第1及び第2電流電極間及び前記第2トランジスタの前記第1及び第2電流電極間を流れる。また、第1トランジスタの制御電極には、電圧信号が入力され、第2トランジスタの第2電流電極での電位は、第1バイアス電圧として機能する。このバイアス電圧発生回路において、第1トランジスタの制御電極に入力される電圧信号として差動増幅器内の差動増幅回路への参照電圧信号を採用し、第1バイアス電圧を、差動増幅回路に含まれる定電流回路へのバイアス電圧として機能させる。すると、参照電圧信号の絶対値が変化すれば、第1トランジスタにおける電圧降下量が変化し、第1バイアス電圧を変化させることができ。すなわち、このバイアス電圧発生回路には、差動増幅回路に含ま

れる定電流回路における電流値を一定に保つフィードバック作用がある。よって、差動増幅回路への参照電圧信号のコモンモード電圧が変化したときであっても、差動増幅回路内の定電流回路における定電流を確保可能なバイアス電圧発生回路を実現できる。

## 【0098】

請求項9に記載の発明によれば、請求項1ないし請求項4のいずれかに記載のバイアス電圧発生回路と差動増幅回路とを備える。そして、差動増幅回路への参照電圧信号は、第1トランジスタの制御電極にも入力され、第1バイアス電圧は、定電流回路たる第10トランジスタの制御電極に入力される。バイアス電圧発生回路には、差動増幅回路に含まれる定電流回路における電流値を一定に保つフィードバック作用がある。よって、差動増幅回路への参照電圧信号のコモンモード電圧が変化したときであっても、差動増幅回路内の定電流回路における定電流を確保可能な差動増幅器を実現できる。

## 【0099】

請求項10に記載の発明によれば、請求項5ないし請求項8のいずれかに記載のバイアス電圧発生回路と差動増幅回路と他の差動増幅回路とを備える。そして、差動増幅回路および他の差動増幅回路への参照電圧信号は、第1及び第4トランジスタの制御電極、または、第1及び第8トランジスタの制御電極にも入力され、第1バイアス電圧は、定電流回路たる第11トランジスタの制御電極に入力される。また、第2バイアス電圧は、他の定電流回路たる第12トランジスタの制御電極に入力される。このバイアス電圧発生回路には、差動増幅回路内の定電流回路における電流値、及び、他の差動増幅回路内の他の定電流回路における電流値を一定に保つフィードバック作用がある。つまり、差動増幅回路及び他の差動増幅回路への参照電圧信号のコモンモード電圧が変化したときであっても、定電流回路及び他の定電流回路における定電流を確保可能な差動増幅器を実現できる。また、本請求項に係る差動増幅器は、互いに導電型の異なる定電流回路及び他の定電流回路をそれぞれ含む差動増幅回路及び他の差動増幅回路を備えている。よって、参照電圧信号の変動に応じて、定電流回路及び他の定電流回路の一方を流れる定電流に影響があったとしても、その他方を流れる定電流の安定性は向

上する。すなわち、差動増幅回路及び他の差動増幅回路の一方の動作信頼性がたとえ低下した場合であっても、他方の動作信頼性が向上するので、参照電圧信号の変動の傾向に応じて、より動作信頼性の高い差動増幅回路の信号を採用して、確実な差動電圧検出を行うことが可能である。

【図面の簡単な説明】

【図1】 実施の形態1に係る差動増幅器の差動増幅回路を示す図である。

【図2】 実施の形態1に係る差動増幅器のバイアス電圧発生回路を示す図である。

【図3】 実施の形態2に係る差動増幅器の差動増幅回路を示す図である。

【図4】 実施の形態2に係る差動増幅器のバイアス電圧発生回路を示す図である。

【図5】 実施の形態3に係る差動増幅器のバイアス電圧発生回路を示す図である。

【図6】 実施の形態3に係る差動増幅器のバイアス電圧発生回路の変形例を示す図である。

【図7】 実施の形態4に係る差動増幅器のバイアス電圧発生回路を示す図である。

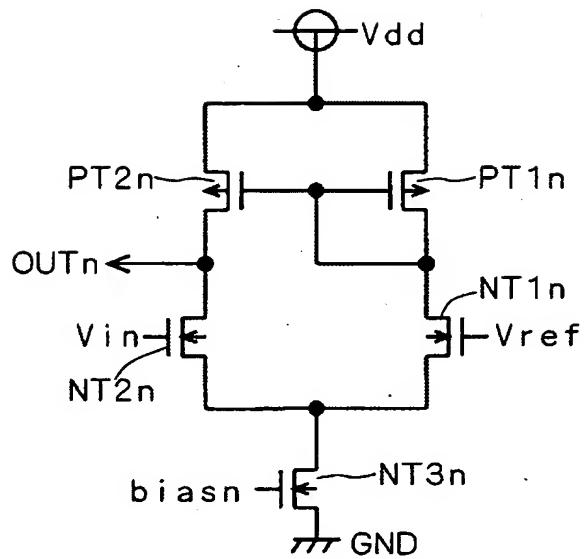
【図8】 実施の形態5に係る差動増幅器のバイアス電圧発生回路を示す図である。

【符号の説明】

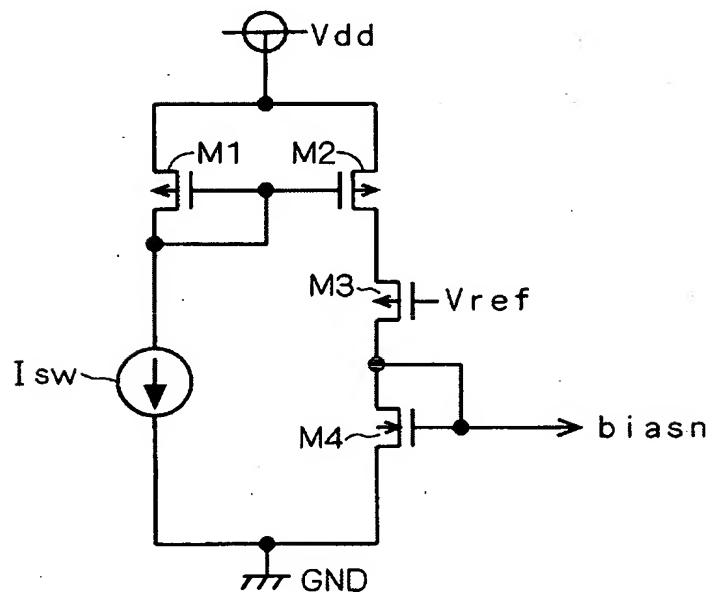
M1～M3, M5, M6, M10, PT1n, PT1n, PT1p～PT3p  
 PchMOSトランジスタ、M4, M7～M9, M11, NT1p, NT2p,  
 NT1n～NT3n NchMOSトランジスタ、Isw 電流源。

【書類名】図面

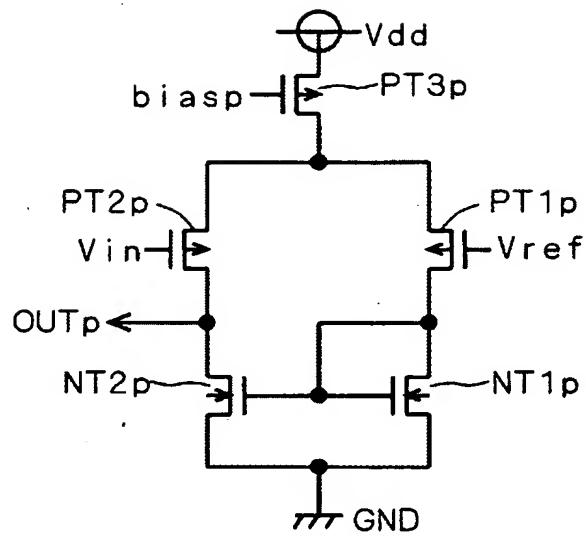
【図1】



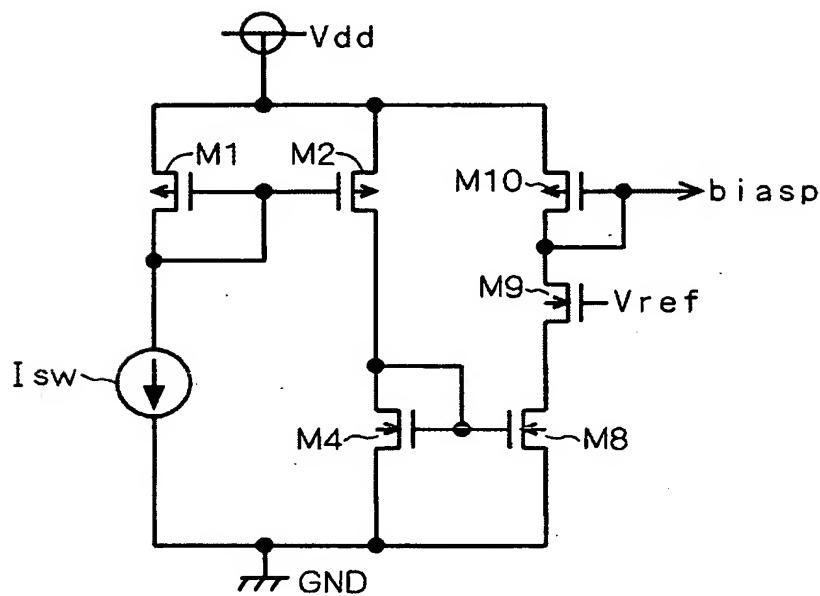
【図2】



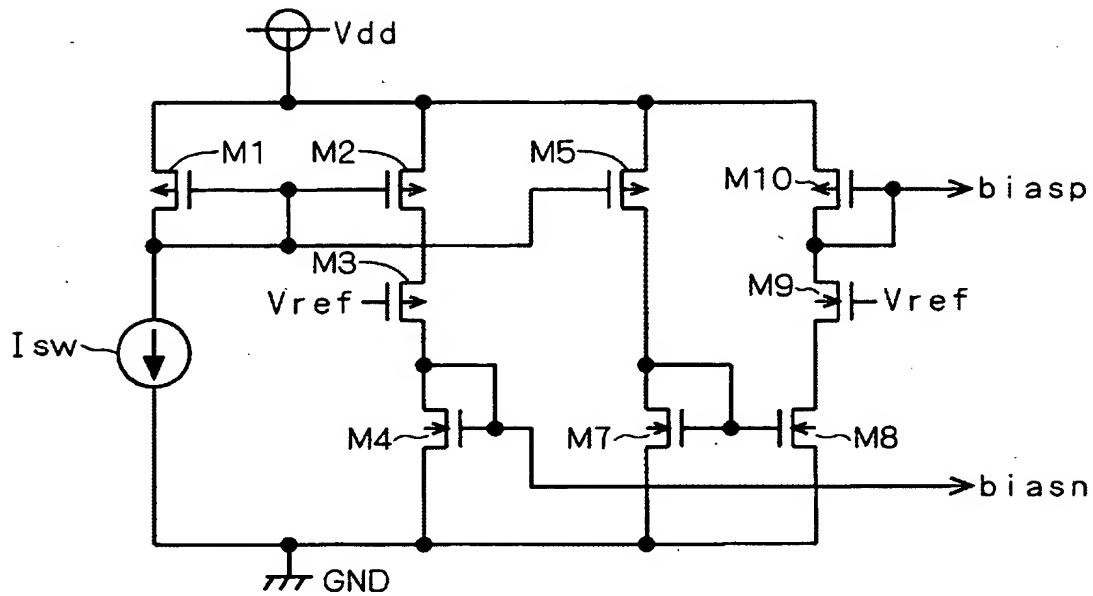
【図3】



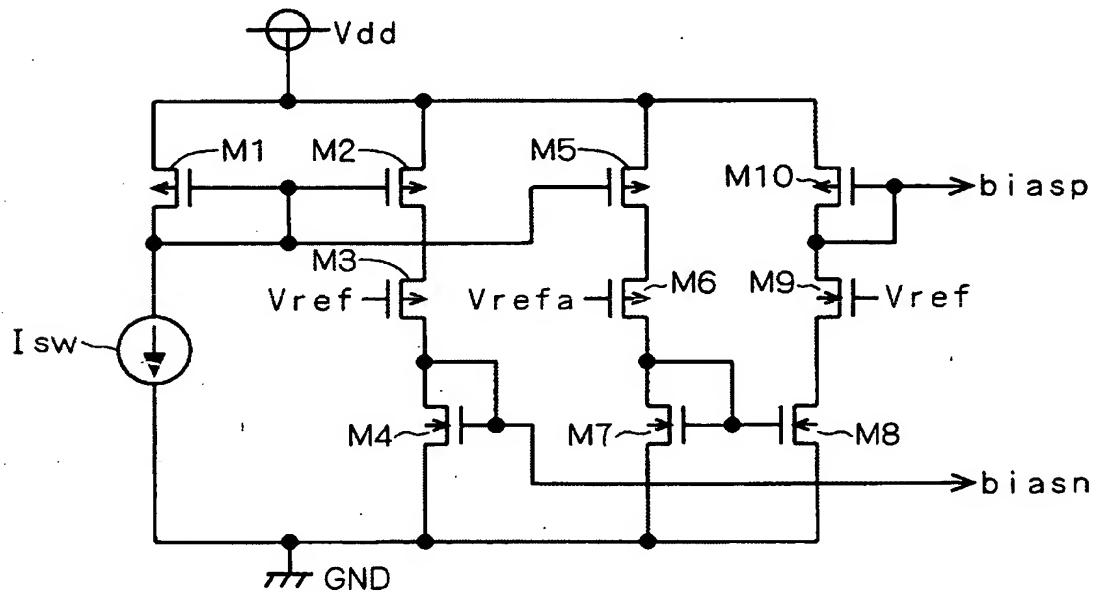
【図4】



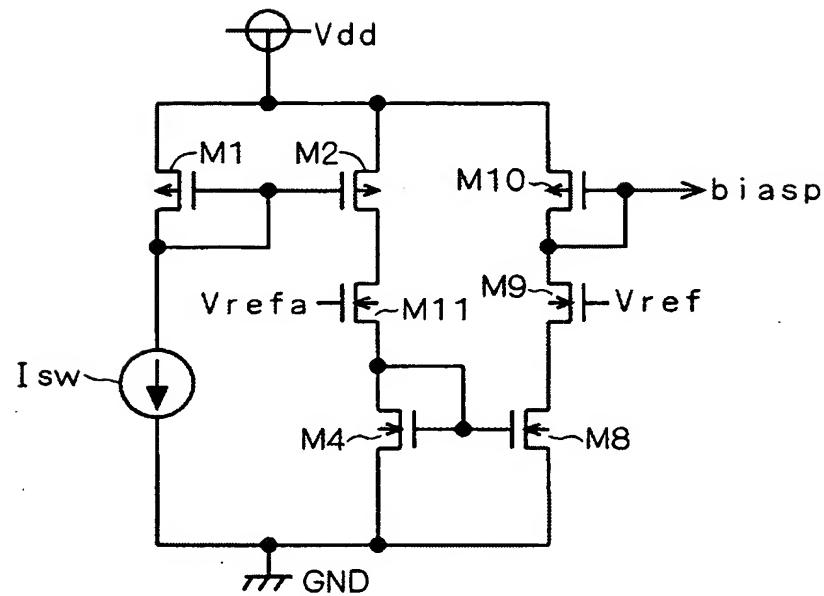
【図5】



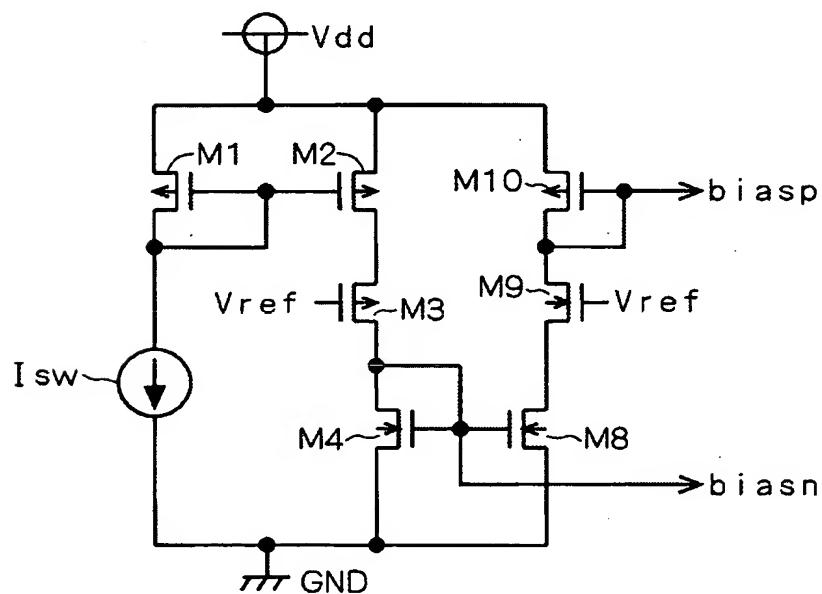
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 差動増幅回路への参照電圧信号のコモンモード電圧が変化したときであっても、差動増幅回路内の定電流回路における定電流を確保可能なバイアス電圧発生回路および差動増幅器を実現する。

【解決手段】 電流源  $I_{sw}$  と、トランジスタ M1, M2 で構成されるカレントミラー回路とを用いて、定電流を発生させる。その定電流をトランジスタ M3 のソースに与える。トランジスタ M3 のドレインにはトランジスタ M4 のドレイン及びゲートを接続する。トランジスタ M3 のゲートに、差動増幅回路への参照電圧信号  $V_{ref}$  を入力し、トランジスタ M4 のドレイン電位を、差動増幅回路内の定電流回路へのバイアス電圧  $bias_n$  として機能させる。参照電圧信号  $V_{ref}$  の絶対値が変化しても、バイアス電圧  $bias_n$  が定電流回路における定電流を確保するフィードバック作用を奏する。

【選択図】 図 2

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社